

Sigle : GEN1333 Gr. 01

Titre : Conception de circuits intégrés

Session : Automne 2019 Horaire et local

Professeur : Lakhssassi, Ahmed

1. Description du cours paraissant à l'annuaire :

Objectifs

Au terme de cette activité, l'étudiant(e) sera en mesure : de concevoir des circuits intégrés avec les outils de CAO électronique appropriés.

Contenu

Le cours a pour objet l'étude du fonctionnement et de la conception des circuits intégrés MOS (Metal Oxide Semiconductor) et plus particulièrement des circuits NMOS et CMOS à intégration à très grande échelle (ITGE/VLSI). Le cours couvre principalement la description des phénomènes physiques associés aux composantes MOS, les circuits MOS de base (inverseurs, portes, amplificateurs tampons), la connexion des sous-systèmes et la fabrication des systèmes intégrés. Les divers outils CAO utilisés pour la conception et la vérification des circuits ITGE sont introduits. L'étudiant est appelé à concevoir, vérifier et réaliser un sous-système qui pourra être intégré à un projet commun du groupe.

Descriptif - Annuaire

2. Objectifs spécifiques du cours :

Le cours couvre 7 des 12 qualités requises des diplômé(e)s telles que définies dans les normes d'agrément des programmes de génie au Canada (<http://www.engineerscanada.ca/fr/ressources-en-matiere-dagrément>) :

Qualité 1: Connaissances en génie

Qualité 2: Analyse de problèmes

Qualité 3: Investigation

Qualité 4: Conception

Qualité 5: Utilisation d'outils d'ingénierie

Qualité 6: Travail individuel et en équipe

Qualité 7: Communication

Les qualités 2, 3, 4 et 5 sont mesurées dans ce cours pour fins de rétroaction.

Objectifs spécifiques	Qualité	Indicateurs	Introduit	Développé	Utilisé
Comprendre le fonctionnement des circuits logiques simples en utilisant la technologie CMOS.					
Analyser une conception pour trouver les problèmes possibles et les résoudre.	2	1. Identifier les informations connues et inconnues, et les incertitudes d'un problème.		x	
Vérifier le respect des contraintes de design d'un circuit; Simuler la réponse temporelle avec un simulateur pour évaluer et valider les résultats.	3	3. Faire une analyse critique des résultats pour parvenir à des conclusions et en évaluer la validité.		x	
Concevoir des solutions dans le cadre d'un projet de conception des circuits intégrés qui répondent aux exigences.	4	1. Identifier les besoins des clients et les contraintes économiques, réglementaires et législatives, environnementales, culturelles, sociales, et de santé et sécurité.		x	
	4	2. Produire et comparer différentes solutions possibles afin de sélectionner le meilleur concept.		x	
	4	3. Créer des modèles, simulations, prototypes, et faire des tests.		x	
	4	4. Évaluer la performance de la conception en fonction du cahier des charges.		x	
Sélectionner et utiliser les outils de simulation dans le domaine des circuits intégrés.	5	3. Évaluer la pertinence de l'application des outils, techniques de mesure, modèles ou simulations au regard des résultats obtenus.		x	

3. Stratégies pédagogiques :

Les formules suivantes seront utilisées :

- Cours magistral (une période par semaine).
- Travaux pratiques (une période de 3 heures par semaine) incluant un projet de conception de CI à réaliser en équipe.
- Lecture personnelle (Chapitres de livres et "Tutorials").

La chronologie des séances de laboratoires sera disponible sur le site Moodle du cours.

<https://moodle.uqo.ca/>

En résumé, le cours consiste à :

- 39 heures de leçons magistrales
- 36 heures de travaux pratiques au laboratoire
- 6 heures d'examens

Total : 81 heures.

* La date des présentations peut être déplacée selon les disponibilités.

Logiciels utilisés : Synopsys et Cadence, Xilinx ou Altera avec leurs outils de synthèse et de P R.

4. Heures de disponibilité ou modalités pour rendez-vous :

Sur rendez-vous.

5. Plan détaillé du cours sur 15 semaines :

Semaine	Thèmes	Dates
1	INTRODUCTION GÉNÉRALE	06 sept. 2019
2	VHDL ET SYNTHÈSE, DESIGN REUSE Travail pratique 1: Configuration de la session de travail et simulation logique (Le 11 septembre 2019)	13 sept. 2019
3	MODÈLES DE TRANSISTORS MOS Travail pratique 2 : Suite de la simulation logique ou fonctionnelle (Le 18 septembre 2019)	20 sept. 2019
4	STRUCTURE LOGIQUES CMOS Travail pratique 3 : Synthèse avec RLT compiler (Le 25 septembre 2019)	27 sept. 2019
5	TECHNOLOGIES ET PROCÉDÉS DE FABRICATION CMOS Travail pratique 4 : Simulation post-synthèse (Le 02 octobre 2019)	04 oct. 2019
6	VARIANTES DES TECHNOLOGIES CMOS Travail pratique 4 : Placement et routage du circuit synthétisé (Le 09 octobre 2016)	11 oct. 2019
7	SEMAINE D'ÉTUDES	18 oct. 2019
8	EXAMEN DE MI-SESSION	25 oct. 2019
9	DESSINS DES MASQUES : EXEMPLE DE COMPOSANTS VLSI Travail pratique 5 : Placement et routage du circuit synthétisé (Le 30 octobre 2019)	01 nov. 2019
10	CONSTRUCTION DE LA LOGIQUE CMOS Travail pratique 6 : Simulation post-placement et routage (Le 06 novembre 2016)	08 nov. 2019
11	LOGIQUE PROPORTIONNÉE Travail pratique 7 : Simulation d'un transistor avec cadence 6 - 65nm (Le 13 novembre 2019)	15 nov. 2019
12	STRUCTURES INTERNES DES MÉMOIRES Travail pratique 8 : Simulation d'un inverseur avec cadence 6 - 65nm (Le 20 novembre 2019)	22 nov. 2019

13	VÉRIFICATION DES CIRCUITS INTÉGRÉS Travail pratique 9 : Simulation d'une porte Non-ET avec cadence 6 - 65nm (Le 27 novembre 2019)	29 nov. 2019
14	PRÉSENTATION DU PROJET DE CONCEPTION* Travail pratique 10 : Dessin des masques d'une porte Non-ET avec cadence 6-65nm (Le 04 décembre 2019)	06 déc. 2019
15	EXAMEN FINAL	13 déc. 2019

6. Évaluation du cours :

Outils d'évaluation	Pondération	Indicateurs mesurés
Laboratoires (6) Travaux pratiques individuels	15 %	2.1; 3.3; 4.3; 4.4; 5.3 (10 %)
Projet de conception (Journaux, rapports et présentations)	25 %	4.3; 4.4 (10 %); 5.3
Examen de mi-session	25 %	2.1; 3.3; (10 %)
Examen final	35 %	2.1 ; (10 %); 3.3

Par indicateur mesuré, on entend qu'à la fin du cours, un niveau de performance (0, 1, 2, 3) est donné pour chaque indicateur et pour chaque étudiant(e), selon la grille ci-dessous.

Indicateurs	Niveau 0	Niveau 1	Niveau 2	Niveau 3
2.1 Identifier les informations connues et inconnues et les incertitudes d'un problème.	Identification inadéquate ou inexistante des informations connues et inconnues et des incertitudes.	Identification partielle des informations connues et inconnues et des incertitudes.	Identification adéquate des informations connues et inconnues et des incertitudes.	Identification exhaustive des informations connues et inconnues et des incertitudes.
3.3 Faire une analyse critique des résultats pour parvenir à des conclusions et en évaluer la validité.	Analyse critique des résultats inadéquate ou inexistante.	Analyse critique des résultats acceptable, mais évaluation de leur validité inadéquate.	Analyse critique des résultats et évaluation de leur validité acceptables.	Analyse critique des résultats et évaluation de leur validité remarquables.
4.1 Identifier les besoins des clients et les contraintes économiques, réglementaires et législatives, environnementales, culturelles, sociales, et de santé et sécurité.	Identification inadéquate des besoins et des contraintes.	Identification des besoins acceptable, mais détermination des contraintes insuffisante.	Identification acceptable des besoins et des contraintes.	Identification exhaustive des besoins et des contraintes.
4.2 Produire et comparer différentes solutions possibles afin de sélectionner le meilleur concept.	Production et comparaison de solutions possibles inadéquates ou inexistantes.	Production et comparaison de solutions possibles acceptables, mais sélection du meilleur concept inadéquate.	Production et comparaison de solutions possibles, et sélection du meilleur concept acceptables.	Production, comparaison et sélection remarquables.
4.3 Créer des modèles, simulations, prototypes, et faire des tests.	Création de modèles, simulations, prototypes et/ou exécution de tests inadéquate ou inexistante.	Création acceptable de modèles, simulations, prototypes, mais exécution de tests insuffisante.	Création de modèles, simulations, prototypes et exécution de tests adéquates.	Création de modèles, simulations, prototypes et exécution de tests remarquables.
4.4 Évaluer la performance de la conception en fonction du cahier des charges.	Vérification inadéquate ou inexistante.	Vérification partielle.	Vérification adéquate.	Vérification exhaustive.
5.3 Évaluer la pertinence de l'application des outils, techniques de mesure, modèles ou simulations au regard des résultats obtenus.	Analyse inadéquate ou inexistante.	Analyse partielle.	Analyse adéquate.	Analyse exhaustive.

En plus de la version électronique, **la version papier des travaux**, laboratoires et projets incluant les journaux de bord **est exigée**. Seuls les listings des programmes de plus de 2 pages peuvent être soumis sous forme électronique en incluant en annexe les deux premières pages du programme dans la version papier.

Il faut obtenir une moyenne minimale de 50 % aux travaux pratiques pour que les notes des travaux comptent.

Attention : La présence aux cours est obligatoire. Trois absences ou plus mèneront à un échec automatiquement.

7. Politiques départementales et institutionnelles :

- Politique du département d'informatique et d'ingénierie relative à la tenue des examens
- Note sur le plagiat et sur la fraude
- Politique relative à la qualité de l'expression française écrite chez les étudiants et les étudiantes de premier cycle à l'UQO
- Absence aux examens : cadre de gestion, demande de reprise d'examen (formulaire)

• **SANS OUI
C'EST NON!**

Travaillons ensemble pour développer une culture du respect ! La communauté universitaire de l'UQO se mobilise et lance un message haut et fort de **tolérance zéro en matière de violence à caractère sexuel** (pour de plus amples renseignements, veuillez consulter la page Web : uqo.ca/sansouicestnon).

8. Principales références :

1. « Conception et vérification des circuits VLSI », Éditions de l'École Polytechnique de Montréal, Yvon Savaria, 1988.
2. Documents pour les cours 3.583, ELE6304 et ELE6305.
3. Manuel d'exercices, Cours de VLSI, A. Belhaouane, N. Bélanger, Y. Savaria et A. Boubguira.
4. "The VHDL Cookbook", Peter J. Ashenden, 1990.
5. Analog VLSI Circuits for the Perception of Visual Motion Alan A. Stocker, ISBN : 978-0-470-85491-4, Hardcover 242 pages, May 2006. Wiley.
6. Introduction to VLSI Circuits and Systems, John P. Uyemura, ISBN : 978-0-471-12704-8, 656 pages, August 2001. Wiley.
7. Modern Semiconductor Devices for Integrated Circuits, Chenming C. Hu, ISBN-10 : 0136085253, ISBN-13 : 9780136085256, Prentice Hall, 2010, 384 pp, 03/22/2009
8. VHDL for Engineers, Kenneth L. Short, University of New York-Stony Brook, ISBN-10 : 0131424785, ISBN-13 : 9780131424784, Prentice Hall, 2009, 720 pp, 04/09/2008.
9. A Designer's Guide to VHDL Synthesis, Ott, Douglas E., Wilderotter, Thomas J., Kluwer Academic Publishers, v. 4, No. 1, November 2007, ISBN : 9780792394723, 340 pages.

Quelques bons titres

1. Logic Synthesis Using Synopsys, P. Kurup, T. Abbasi, Kluwer, 1995.
2. Introduction to VLSI Systems, Mead & Conway, Addison Wesley, 1980.
3. Introduction aux Systèmes VLSI, Mead & Conway, Inter Edition, 1983.
4. Principle of CMOS VLSI design. A Systems Perspective. N.H.E. Weste, second edition, Kamram Eshraghian. Addison Wesley, 1993.
5. Introduction to nMOS & CMOS VLSI systems design, Amar Mukherjee, Prentice Hall, 1986.
6. VHDL, Coding Styles and Methodologies, an In-Depth Tutorial, 2nd Edition, Cohen, B. Kluwer, 1999.

Manuels de cours disponibles à la COOP-UQO

1. Livre obligatoire : « Conception et vérification des circuits VLSI », Éditions de l'École Polytechnique de Montréal, Yvon Savaria, 1988.
2. Documents obligatoires à consulter à la réserve à la bibliothèque Lucien Brault; Documents pour les cours 3.583, ELE6304 et ELE6305.
3. Manuel d'exercices obligatoire : Manuel d'exercices, Cours de VLSI, A. Belhaouane, N. Bélanger, Y. Savaria et A. Boubguira.
4. Une série de transparents sera disponible sur le site Moodle.

9. Page Web du cours :

<https://moodle.uqo.ca>