

**Sigle : INF4023 Gr. 01**

**Titre : Architecture des ordinateurs I**

**Session : Automne 2024 Horaire et local**

**Professeur : Rahmani, Naim Mohamed**

### 1. Description du cours paraissant à l'annuaire :

#### Objectifs

Au terme de cette activité, l'étudiante, l'étudiant aura acquis les connaissances de base de l'architecture, de la structure et des principes de fonctionnement d'un ordinateur.

#### Contenu

Architecture et organisation d'un ordinateur. Représentation des nombres, arithmétique en compléments et codes numériques. Les portes logiques et l'algèbre de Boole. Techniques de simplification des circuits. Analyse et conception de circuits logiques combinatoires : demi-additionneur, additionneur, comparateur, décodeur, multiplexeur. Les circuits logiques programmables PAL. Mémoire morte ROM. Concept de mémoire dynamique. Circuits logiques séquentiels. Les bascules, registres et compteurs. Introduction à la conception de la machine à états. Table et graphe des états et réduction des états, synthèse de circuits séquentiels. Introduction d'un outil de conception assisté par ordinateur. Ce cours comporte des séances obligatoires de travaux pratiques (TP) de trois heures par semaine.

Descriptif – Annuaire

### 2. Objectifs spécifiques du cours :

Ce cours couvre 1 des 12 qualités requises des diplômé(e)s telles que définies dans les normes d'agrément des programmes de génie au Canada (<http://www.engineerscanada.ca/fr/ressources-en-matiere-dagrément>) :

Qualité 1 : Connaissances en génie

- Acquisition des principes de base pour l'analyse et la synthèse des circuits numériques
- Étude des technologies de circuits intégrés
- Étude des composants de mémoire
- Introduction aux circuits numériques programmables et microprocesseurs

L'accent est mis sur les différentes fonctions des circuits intégrés plutôt que leur architecture interne.

### 3. Stratégies pédagogiques :

Toutes les activités auront lieu en mode présentiel.

- Présentation du contenu par le biais de cours magistraux.
- Disponibilité d'une page Moodle contenant le matériel du cours et les énoncés des travaux pratiques (TP).
- Séances de TP obligatoires : utilisation du logiciel Multisim.
- Les rapports de TP doivent être remis aux dates indiquées.
- Un examen de mi-session et un examen final.
- Les modalités de cours et d'évaluation sont sujettes à modification selon l'évolution de la situation sanitaire.

### 4. Heures de disponibilité ou modalités pour rendez-vous :

Sur rendez-vous par courriel : NaimMohamed.Rahmani@uqo.ca;

### 5. Plan détaillé du cours sur 15 semaines :

Semaine	Thèmes	Dates
1	<b>Introduction générale</b> Introduction. Circuits logiques et l'ordinateur. Mémoire principale. Mémoires secondaires. Entrées/Sorties. Systèmes de numération, binaire, octal et hexa. Conversion d'une base à l'autre. Compléments de nombres. Arithmétique binaire. Codes ASCII, BCD et Gray.	03 sept. 2024
2	<b>Systèmes numériques</b> Notions sur les circuits combinatoires. Algèbre de Boole. Portes logiques élémentaires : OU, ET, NON, N-OU, N-ET, OU-EX. Identités booléennes. Théorèmes de DeMorgan.	10 sept. 2024
3	<b>Techniques de simplification des circuits logiques</b> Table de vérité. Formes Maxterms et minterms. Simplification algébrique. Simplification par tables de Karnaugh. Fonctions à quatre variables. Cas indéterminés. <b>Travail pratique I : Portes logiques (Groupe A)</b> Lundi 16 sept. 2024	17 sept. 2024
4	<b>Circuits logiques combinatoires</b> Procédure de conception. Additionneurs : Demi-additionneur et Additionneur complet. Soustracteurs. Convertisseurs. Procédure d'analyse. Circuits NAND. Circuits en NOR. <b>Travail pratique I : Portes logiques (Groupe B)</b> Lundi 23 sept. 2024	24 sept. 2024
5	<b>Applications I</b> Circuits MSI à logique combinatoire. Encodeurs. Décodeurs. Multiplexeurs. Démultiplexeurs. Implémentations basées sur le décodeur et le multiplexeur. <b>Travail pratique II : Simplification des circuits logiques (Groupe A)</b> Lundi 30 sept. 2024	01 oct. 2024
6	<b>Applications II</b> Mémoires : ROM, PROM, EPROM, EEPROM et composantes programmables : PLD, PLA, PAL. <b>Travail pratique II : Simplification des circuits logiques (Groupe B)</b> Lundi 7 oct. 2024	08 oct. 2024
7	<b>Semaine d'études</b>	15 oct. 2024
8	<b>Examen de mi-session</b> <b>Travail pratique III : Circuits combinatoires : décodeurs, mux/demux (Groupe A)</b> Lundi 21 oct. 2024	22 oct. 2024
9	<b>Circuits logiques séquentiels</b> Classes de machines séquentielles. Bascules RS, D, T, JK. Bascules sensibles aux niveaux, aux transitions. Mémoire élémentaire (RAM), bascules tampons. <b>Travail pratique III : Circuits combinatoires : décodeurs, mux/demux (Groupe B)</b> Lundi 28 oct. 2024	29 oct. 2024
10	<b>Synthèse de circuits séquentiels synchrones</b>	05 nov. 2024

	Diagrammes d'états. Table de vérité. Minimisation et codages des états. Entrées asynchrones. Analyse et conception de circuits séquentiels synchrones.	
11	<p><b>Synthèse de circuits séquentiels synchrones (suite)</b></p> <p>Représentations de Moore et de Mealy. Applications des bascules JK, D et T. Exemple de conception d'un compteur de séquences binaires.</p> <p><b>Travail pratique IV : Éléments de base des circuits séquentiels (Groupe A)</b> Lundi 11 nov. 2024</p>	12 nov. 2024
12	<p><b>Compteurs</b></p> <p>Compteurs synchrones et asynchrones. Compteurs croissants et décroissants. Compteurs à séquences non-binaires.</p> <p><b>Travail pratique IV : Éléments de base des circuits séquentiels (Groupe B)</b> Lundi 18 nov. 2024</p>	19 nov. 2024
13	<p><b>Registres et mémoires</b></p> <p>Registres à décalage série et parallèle. Mémoires volatiles.</p> <p>Caractéristiques des principales familles (TTL, ECL, CMOS et NMOS).</p> <p><b>Travail pratique V : Les compteurs et registres (Groupe A)</b> Lundi 25 nov. 2024</p>	26 nov. 2024
14	<p><b>Introduction aux circuits logiques programmables à haute densité (FPGA, CPLD, ASIC)</b></p> <p><b>Travail pratique V : Les compteurs et registres (Groupe B)</b> Lundi 02 déc. 2024</p>	03 déc. 2024
15	<b>Examen final</b>	10 déc. 2024

## 6. Évaluation du cours :

- Examen de mi-session : 30 %
- Examen final : 45 %
- Travaux pratiques (5 Séances) : 25 % (une moyenne minimale de 50 % est exigée)

## 7. Politiques départementales et institutionnelles :

- Politiques relatives à la tenue des examens
- Note sur le plagiat et les fraudes
- Politique relative à la qualité de l'expression française écrite chez les étudiants et les étudiantes de premier cycle à l'UQO

- Absence aux examens : [cadre de gestion](#), [demande de reprise d'examen \(formulaire\)](#)

Tolérance **ZÉRO** en matière de violence à caractère sexuel.

Le Bureau d'intervention et de prévention en matière de harcèlement (BIPH) a pour mission d'accueillir, soutenir et guider toute personne vivant une situation de harcèlement, de discrimination ou de violence à caractère sexuel. Le BIPH oriente ses actions afin de prévenir les violences à caractère sexuel pour que nous puissions étudier, travailler et s'épanouir dans un milieu sain et sécuritaire.

Vous vivez ou êtes une personne témoin d'une situation de violence à caractère sexuel ? Vous êtes une personne membre de la communauté étudiante ou une personne membre du personnel, autant à Gatineau qu'à Ripon et St-Jérôme, l'équipe du BIPH est là pour vous, sans jugement et en toute confidentialité.

Ensemble, participons à une culture de respect.

Pour de plus amples renseignements consultez [UQO.ca/biph](http://UQO.ca/biph) ou écrivez-nous au [Biph@uqo.ca](mailto:Biph@uqo.ca)

## 8. Principales références :

- Référence principale : M. Morris Mano, [Digital Design](#), Prentice-Hall, 2016.
- Référence facultative: John P. Hayes, [Introduction to Digital Logic Design](#), Addison Wesley, 1993.

## 9. Page Web du cours :

<https://moodle.uqo.ca>