

Sigle : GEN1333 Gr. 01

Titre : Conception de circuits intégrés

Session : Hiver 2025 Horaires et local

Professeur : Saydé, Michel

1. Description du cours paraissant à l'annuaire :

Objectifs

Au terme de cette activité, l'étudiant(e) sera en mesure : de concevoir des circuits intégrés avec les outils de CAO électronique appropriés.

Contenu

Le cours a pour objet l'étude du fonctionnement et de la conception des circuits intégrés MOS (Metal Oxide Semiconductor) et plus particulièrement des circuits NMOS et CMOS à intégration à très grande échelle (ITGE/VLSI). Le cours couvre principalement la description des phénomènes physiques associés aux composantes MOS, les circuits MOS de base (inverseurs, portes, amplificateurs tampons), la connexion des sous-systèmes et la fabrication des systèmes intégrés. Les divers outils CAO utilisés pour la conception et la vérification des circuits ITGE sont introduits. L'étudiant est appelé à concevoir, vérifier et réaliser un sous-système qui pourra être intégré à un projet commun du groupe.

Descriptif – Annuaire

2. Objectifs spécifiques du cours :

Le cours couvre 4 des 12 qualités requises des diplômé(e)s telles que définies dans les normes d'agrément des programmes de génie au Canada (<http://www.engineerscanada.ca/fr/ressources-en-matiere-dagrément>) :

1. **Qualité 1: Connaissances en génie**
2. Qualité 2: Analyse de problèmes
3. **Qualité 3: Investigation**
4. **Qualité 4: Conception**
5. **Qualité 5: Utilisation d'outils d'ingénierie**
6. Qualité 6: Travail individuel et en équipe
7. Qualité 7: Communication

Les qualités 1, 3, 4 et 5 sont mesurées dans ce cours pour fins de rétroaction (Q.1.4,Q.3.3, Q.4.1,Q.4.2,Q.4.3,Q.4.4,Q.5.3)

| Objectifs spécifiques | Qualité | Indicateurs | Introduit | Développé | Appliqué |
|--|---------|---|-----------|-----------|----------|
| Comprendre le fonctionnement des circuits logiques simples en utilisant la technologie CMOS. | 1 | 4. Comprendre et appliquer les concepts de l'ingénierie propres au programme. | | X | |
| Analyser une conception pour trouver les problèmes possibles et les résoudre. (Non mesurée) | 2 | 1- Identifier les informations connues et inconnues, et les incertitudes d'un problème. 3- Choisir et appliquer un modèle et l'analyse appropriés pour résoudre un problème. 4- Évaluer la validité des résultats, les risques, les erreurs et incertitudes (apprécier la précision du modèle). | | X | |

| | | | | | |
|---|---|--|--|---|--|
| Vérifier le respect des contraintes de design d'un circuit; Simuler la réponse temporelle avec un simulateur pour évaluer et valider les résultats. | 3 | 3. Faire une analyse critique des résultats pour parvenir à des conclusions et en évaluer la validité. | | X | |
| Concevoir des solutions dans le cadre d'un projet de conception des circuits intégrés qui répondent aux exigences. | 4 | 1. Identifier les besoins des clients et les contraintes économiques, réglementaires et législatives, environnementales, culturelles, sociales, et de santé et sécurité. | | X | |
| | 4 | 2. Produire et comparer différentes solutions possibles afin de sélectionner le meilleur concept. | | X | |
| | 4 | 3. Créer des modèles, simulations, prototypes, et faire des tests. | | X | |
| | 4 | 4. Évaluer la performance de la conception en fonction du cahier des charges. | | X | |
| Sélectionner et utiliser les outils de simulation dans le domaine des circuits intégrés. | 5 | 3. Évaluer la pertinence de l'application des outils, techniques de mesure, modèles ou simulations au regard des résultats obtenus. | | X | |

3. Stratégies pédagogiques :

Les formules suivantes seront utilisées :

- Cours magistral en présentiel, (une période par semaine).
- Travaux pratiques (une période de 3 heures par semaine) incluant un projet de conception de CI.
- Lecture personnelle (Chapitres de livres et « *Tutorials* »).

La chronologie des séances de laboratoires sera disponible sur le site Moodle du cours.

<https://moodle.uqo.ca>

En résumé, le cours consiste à :

- 40.5 heures de leçons magistrales
- 36 heures de travaux pratiques au laboratoire
- 4.5 heures d'examens

Total : 81 heures.

* La date des présentations peut être déplacée selon les disponibilités.

Logiciels utilisés : Synopsys et Cadence, Xilinx ou Altera avec leurs outils de synthèse et de P R, Electric VLSI et LTspice.

Lien utile : [Modalités de tenue des séances de travaux pratiques \(TP\) et de projets dans les laboratoires de génie](#)

4. Heures de disponibilité ou modalités pour rendez-vous :

Sur rendez-vous par courriel.

5. Plan détaillé du cours sur 15 semaines :

| Semaine | Thèmes | Dates |
|---------|---|---------------|
| 1 | - INTRODUCTION GÉNÉRALE (m0) | 16 janv. 2025 |
| 2 | - Introduction CMOS (m0) - Conception logique avec des MOSFET - I (m1) | 23 janv. 2025 |
| 3 | - Conception logique avec des MOSFET - II (m1) - Structure physique des circuits intégrés CMOS - I (m2) Travail pratique 1 : Simulation fonctionnelle de description VHDL synthétisable (Durée 3h. Voir sur Moodle.) | 30 janv. 2025 |
| 4 | - Structure physique des circuits intégrés CMOS - II (m2) - Fabrication de circuits intégrés CMOS - I (m3) | 6 févr. 2025 |
| 5 | - Fabrication de circuits intégrés CMOS - II (m3) - Éléments de conception physique (m4) 1/2 Travail pratique 2 : Synthèse RTL (Durée 3h. Voir sur Moodle.) | 13 févr. 2025 |
| 6 | - Caractéristiques électriques des MOSFET (m5) | 20 févr. 2025 |
| 7 | - Analyse électronique des portes logiques CMOS (m6) Travail pratique 3 : Simulation post-synthèse (Durée 3h. Voir sur Moodle.) | 27 févr. 2025 |
| 8 | SEMAINE D'ÉTUDES | 6 mars 2025 |
| 9 | EXAMEN DE MI-SESSION (en présentiel) - Conception de réseaux logiques CMOS à grande vitesse - I (m7) | 13 mars 2025 |
| 10 | - Conception de réseaux logiques CMOS à grande vitesse - II (m7) | 20 mars 2025 |
| 11 | - Techniques avancées dans les circuits logiques CMOS (m8) Travail pratique 4 : Placement et routage du circuit synthétisé (Durée 3h. Voir sur Moodle.) | 27 mars 2025 |
| 12 | - Composants généraux du système VLSI (m9) - Circuits arithmétiques dans les VLSI CMOS (m10) | 3 avril 2025 |
| 13 | - Mémoires et logique programmable (m11) Travail pratique 5 : Simulation post placement et routage (Durée 3h. Voir sur Moodle.) | 10 avril 2025 |
| 14 | PRÉSENTATION DU PROJET DE CONCEPTION* Travail pratique 6 : Simulation d'une porte logique avec cadence 6 - 65mn (Durée 3h. Voir sur Moodle.) | 17 avril 2025 |

6. Évaluation du cours :

| Outils d'évaluation | Pondération | Indicateurs évalués |
|--|-------------|--------------------------------|
| Laboratoires (6) Travaux pratiques individuels | 15 % | 2.1; 3.3; 4.3; 4.4; 5.3 (10 %) |
| Projet de conception (Journaux, rapports et présentations) | 25 % | 4.3; 4.4 (10 %); 5.3 |
| Examen de mi-session | 20 % | 2.1 |
| Examen final | 40 % | 2.1 |

Par indicateur mesuré, on entend qu'à la fin du cours, un niveau de performance (0, 1, 2, 3) est donné pour chaque indicateur et pour chaque étudiant(e), selon la grille ci-dessous.

| Indicateurs | Niveau 0 | Niveau 1 | Niveau 2 | Niveau 3 |
|---|---|--|---|--|
| 2.1 Identifier les informations connues et inconnues et les incertitudes d'un problème. | Identification inadéquate ou inexistante des informations connues et inconnues et des incertitudes. | Identification partielle des informations connues et inconnues et des incertitudes. | Identification adéquate des informations connues et inconnues et des incertitudes. | Identification exhaustive des informations connues et inconnues et des incertitudes. |
| 3.3 Faire une analyse critique des résultats pour parvenir à des conclusions et en évaluer la validité. | Analyse critique des résultats inadéquate ou inexistante. | Analyse critique des résultats acceptable, mais évaluation de leur validité inadéquate. | Analyse critique des résultats et évaluation de leur validité acceptables. | Analyse critique des résultats et évaluation de leur validité remarquables. |
| 4.1 Identifier les besoins des clients et les contraintes économiques, réglementaires et législatives, environnementales, culturelles, sociales, et de santé et sécurité. | Identification inadéquate des besoins et des contraintes. | Identification des besoins acceptable, mais détermination des contraintes insuffisante. | Identification acceptable des besoins et des contraintes. | Identification exhaustive des besoins et des contraintes. |
| 4.2 Produire et comparer différentes solutions possibles afin de sélectionner le meilleur concept. | Production et comparaison de solutions possibles inadéquates ou inexistantes. | Production et comparaison de solutions possibles acceptables, mais sélection du meilleur concept inadéquate. | Production et comparaison de solutions possibles, et sélection du meilleur concept acceptables. | Production, comparaison et sélection remarquables. |
| 4.3 Créer des modèles, simulations, prototypes, et faire des tests. | Création de modèles, simulations, prototypes et/ou exécution de tests | Création acceptable de modèles, simulations, prototypes, mais exécution de tests insuffisante. | Création de modèles, simulations, prototypes et exécution de tests adéquates. | Création de modèles, simulations, prototypes et exécution de tests remarquables. |

| | | | | |
|--|---|-------------------------|------------------------|--------------------------|
| | inadéquate ou inexistante. | | | |
| 4.4 Évaluer la performance de la conception en fonction du cahier des charges. | Vérification inadéquate ou inexistante. | Vérification partielle. | Vérification adéquate. | Vérification exhaustive. |
| 5.3 Évaluer la pertinence de l'application des outils, techniques de mesure, modèles ou simulations au regard des résultats obtenus. | Analyse inadéquate ou inexistante. | Analyse partielle. | Analyse adéquate. | Analyse exhaustive. |

En plus de la version électronique, **la version papier des travaux**, laboratoires et projets incluant les journaux de bord **est exigée**. Seuls les listings des programmes de plus de 2 pages peuvent être soumis sous forme électronique en incluant en annexe les deux premières pages du programme dans la version papier.

7. Politiques départementales et institutionnelles :

- Politique du département d'informatique et d'ingénierie relative à la tenue des examens
- Note sur le plagiat et sur la fraude
- Politique relative à la qualité de l'expression française écrite chez les étudiants et les étudiantes de premier cycle à l'UQO
- Absence aux examens : cadre de gestion, demande de reprise d'examen (formulaire)

Tolérance **ZÉRO** en matière de violence à caractère sexuel.

Le Bureau d'intervention et de prévention en matière de harcèlement (BIPH) a pour mission d'accueillir, soutenir et guider toute personne vivant une situation de harcèlement, de discrimination ou de violence à caractère sexuel. Le BIPH oriente ses actions afin de prévenir les violences à caractère sexuel pour que nous puissions étudier, travailler et s'épanouir dans un milieu sain et sécuritaire.

Vous vivez ou êtes une personne témoin d'une situation de violence à caractère sexuel ? Vous êtes une personne membre de la communauté étudiante ou une personne membre du personnel, autant à Gatineau qu'à Ripon et St-Jérôme, l'équipe du BIPH est là pour vous, sans jugement et en toute confidentialité.

Ensemble, participons à une culture de respect.

Pour de plus amples renseignements consultez UQO.ca/biph ou écrivez-nous au Biph@uqo.ca

8. Principales références :

1. « Conception et vérification des circuits VLSI », Éditions de l'École Polytechnique de Montréal, Yvon Savaria, 1988.
2. Documents pour les cours 3.583, ELE6304 et ELE6305.
3. Manuel d'exercices, Cours de VLSI, A. Belhaouane, N. Bélanger, Y. Savaria et A. Boubguira.
4. "The VHDL Cookbook", Peter J. Ashenden, 1990.
5. Analog VLSI Circuits for the Perception of Visual Motion Alan A. Stocker, ISBN : 978-0-470-85491-4, Hardcover 242 pages, May 2006. Wiley.
6. Introduction to VLSI Circuits and Systems, John P. Uyemura, ISBN : 978-0-471-12704-8, 656 pages, August 2001. Wiley.
7. Modern Semiconductor Devices for Integrated Circuits, Chenming C. Hu, ISBN-10 : 0136085253, ISBN-13 : 9780136085256, Prentice Hall, 2010, 384 pp, 03/22/2009.

8. VHDL for Engineers, Kenneth L. Short, University of New York-Stony Brook, ISBN-10 : 0131424785, ISBN-13 : 9780131424784, Prentice Hall, 2009, 720 pp, 04/09/2008.
9. A Designer's Guide to VHDL Synthesis, Ott, Douglas E., Wilderotter, Thomas J., Kluwer Academic Publishers, v. 4, No. 1, November 2007, ISBN : 9780792394723, 340 pages.

Quelques bons titres

1. Logic Synthesis Using Synopsys, P. Kurup, T. Abbasi, Kluwer, 1995.
2. Introduction to VLSI Systems, Mead & Conway, Addison Wesley, 1980.
3. Introduction aux Systèmes VLSI, Mead & Conway, Inter Edition, 1983.
4. Principle of CMOS VLSI design. A Systems Perspective. N.H.E. Weste, second edition, Kamram Eshraghian. Addison Wesley, 1993.
5. Introduction to nMOS & CMOS VLSI systems design, Amar Mukherjee, Prentice Hall, 1986.
6. VHDL, Coding Styles and Methodologies, an In-Depth Tutorial, 2nd Edition, Cohen, B. Kluwer, 1999.

Manuels de cours

1. Livre obligatoire : **John P. Uyemura**, "Introduction to VLSI Circuits and Systems", John Wiley & Sons, 2002, ISBN: 0-471-12704-3.
2. Autre manuel recommandé: **Neil H. E. Weste and David Money Harris**, "CMOS VLSI Design. A Circuit and Systems Perspective" (Fourth Edition), Addison-Wesley, 2010, ISBN 10: 0-321-54774-8
3. Une série de transparents sera disponible sur le site Moodle.

9. Page Web du cours :

<https://moodle.uqo.ca>