

Sigle : GEN1243 Gr. 01

Titre : Conception de systèmes digitaux

Session : Automne 2025 Horaire et local

Professeur : Rahmani, Naim Mohamed

1. Description du cours paraissant à l'annuaire :

Objectifs

Rendre l'étudiant capable de spécifier, de concevoir et de vérifier des systèmes digitaux à l'aide des outils modernes de conception assistée par ordinateur.

Contenu

Acquisition des notions de la logique mixte. Analyse et conception de systèmes logiques réels de complexité moyenne. Machines Séquentielles Algorithmiques. Modèle de Mealy et de Moore. Étude des séquenceurs synchrones et principalement synchrones. Réalisation de circuits et systèmes logiques au moyen de composants programmables et outils de conception récents (ROM, PAL, PLA, GAL, CPLD, FPGA, FPIC, HDL, VHDL, etc.). Introduction à la synthèse de haut niveau des circuits logiques. Conception de systèmes séquentiels par la méthode hiérarchique. Commande de périphériques analogiques par circuits séquentiels. Projet de conception par des outils CAO.

Descriptif – Annuaire

2. Objectifs spécifiques du cours :

Le cours couvre **7** des 12 qualités requises des diplômé(e)s telles que définies dans les normes d'agrément des programmes de génie au Canada (<http://www.engineerscanada.ca/fr/ressources-en-matiere-dagrément>) :

- a. Qualité 1 : Connaissances en génie
- b. Qualité 2 : Analyse de problèmes**
- c. Qualité 3 : Investigation**
- d. Qualité 4 : Conception**
- e. Qualité 5 : Utilisation d'outils d'ingénierie
- f. Qualité 7 : Communication**
- g. Qualité 12 : Apprentissage continu**

Les qualités 2, 3, 4, 7 et 12 sont mesurées dans ce cours pour fins de rétroaction.

Objectifs spécifiques	Qualité	Indicateurs	Introduit	Développé	Appliqué
<ul style="list-style-type: none"> • Spécifier, concevoir et vérifier les systèmes digitaux • Approfondir la connaissance des circuits logiques et des systèmes numériques • Conception à l'aide de composants modernes tels 	2	3. Choisir un modèle et appliquer l'analyse appropriée pour résoudre un problème.		x	
	3	1. Formuler et tester des hypothèses de travail.		x	
	4	1. Déterminer les besoins des clients et établir les exigences, les normes et les contraintes comme la santé et la sécurité, la durabilité,		x	

<p>que le PLA (Programmable Logic Array) et les FPGA (Field Programmable Gate Array)</p> <ul style="list-style-type: none"> • Développer l'habileté à concevoir des circuits séquentiels synchrones de type contrôleur • Développer ses capacités d'abstraction et de conception avec les langages HDL de haut niveau • Appliquer les méthodes de conceptions aux systèmes programmables • Se familiariser avec les notions de prototypage rapide, vérification matérielle, placement et routage en conception des systèmes digitaux programmables dans l'environnement Xilinx ou Altera 		l'environnement, l'éthique, la sûreté, l'économie, les facteurs esthétiques et humains, la faisabilité et la conformité aux aspects réglementaires, de même que des enjeux universels en matière de conception, comme les aspects sociaux, culturels et de diversification.			
	4	4. Vérifier la conformité de la conception par rapport au cahier des charges.		x	
	7	3. Créer des figures et des tableaux en respectant les règles de rédaction scientifique et technique.		x	
		4. Faire des présentations claires et structurées en utilisant la terminologie technique appropriée, et adapter la formule selon l'auditoire.		x	
12	2. Trouver les ressources appropriées techniques et scientifiques.		x		

3. Stratégies pédagogiques :

Les formules pédagogiques suivantes seront utilisées :

- Cours magistral (une période de 3 h par semaine)
- Projets en conception à réaliser en équipe
- Séances de travaux pratiques (une période de 3 heures par semaine incluant les séances réservées au projet)
- Lecture personnelle

Modalités de tenue des séances de travaux pratiques (TP) et de projets dans les laboratoires de génie
(<https://uqo.ca/dep/informatique-ingenierie/laboratoires-genie-dii>)

4. Heures de disponibilité ou modalités pour rendez-vous :

Sur rendez-vous.

Prendre rendez-vous en envoyant un courriel à NaimMohamed.Rahmani@uqo.ca

Le rendez-vous aura lieu soit en présentiel (Bureau B-2093) soit par vidéoconférence via Zoom.

5. Plan détaillé du cours sur 15 semaines :

Semaine	Thèmes	Dates
1	Introduction générale : processus de conception, représentations matérielles de la conception, prototypage rapide.	04 sept. 2025
2	VHDL : conception, simulation et synthèse de circuits et modules logiques à l'aide du langage de description matérielle VHDL. Travail pratique I : Introduction à la simulation avec VHDL Groupe A : mardi 9 sept. 2025	11 sept. 2025
3	Systèmes numériques programmables : PLA, PAL, PLD, GAL. Exemple de conception avec la logique programmable.	18 sept. 2025

	Travail pratique I : Introduction à la simulation avec VHDL Groupe B : mardi 16 sept. 2025	
4	Logique mixte : principe de la logique mixte, portes standards et leurs équivalences, symbolisation et convention, analyse de circuits logiques mixtes, synthèse de fonctions en logique mixte, conversion d'un circuit de la logique standard à la logique mixte. Travail pratique II : Introduction à la plateforme de développement d'Altera Groupe A : mardi 23 sept. 2025	25 sept. 2025
5	Machines séquentielles algorithmiques (MSA) : conception de systèmes logiques basés sur les machines séquentielles algorithmiques (MSA), familiarisation avec les grandes étapes d'analyse et de synthèse des MSA, aborder les différentes techniques de conception de circuits combinatoires pour l'étude des séquenceurs (machine à états finis). Travail pratique II : Introduction à la plateforme de développement d'Altera Groupe B : mardi 30 sept. 2025	02 oct. 2025
6	Machines séquentielles algorithmiques (MSA) : conception de systèmes logiques basés sur les machines séquentielles algorithmiques (MSA), familiarisation avec les grandes étapes d'analyse et de synthèse des MSA, aborder les différentes techniques de conception de circuits combinatoires pour l'étude des séquenceurs (machine à états finis) – (suite). Travail pratique III : Représentation arithmétique binaire avec VHDL Groupe A : mardi 7 oct. 2025	09 oct. 2025 Non-présentiel
7	Semaine d'études	16 oct. 2025
8	Examen de mi-session	23 oct. 2025
9	Conception de circuits combinatoires : simplification de fonctions logiques par tableau de Karnaugh à variables inscrites, cas de deux variables inscrites, les multiplexeurs et décodeurs ainsi que les circuits programmables PLD. Travail pratique III : Représentation arithmétique binaire avec VHDL Groupe B : mardi 28 oct. 2025	30 oct. 2025
10	Programmation des MSA. Travail pratique IV : L'affichage VGA Groupe A : mardi 4 nov. 2025	06 nov. 2025 Non-présentiel
11	Conception avec la logique séquentielle : étude approfondie des machines séquentielles algorithmiques synchrones et principalement synchrones et conception de contrôleurs complets en tenant compte de considérations pratiques de grande importance. Travail pratique IV : L'affichage VGA Groupe B : mardi 11 nov. 2025	13 nov. 2025
12	Circuits intégrés programmables et leurs outils de synthèse : aperçu sur les PLD complexes, la famille MAX d'Altera et la famille MACH D'AMD, la famille FLASH de Cypress, les familles XC7000 et XC9000 de Xilinx. Travail pratique V : Analyse temporelle (Timing) sur Quartus Groupe A : mardi 18 nov. 2025	20 nov. 2025 Non-présentiel
13	Présentations : sujets spéciaux en développement technologique dans le domaine des systèmes numériques et/ou projets. Travail pratique V : Analyse temporelle (Timing) sur Quartus	27 nov. 2025

	Groupe B : mardi 25 nov. 2025	
14	Présentations orales des projets, démonstrations au laboratoire. (Présentiel) les deux groupes	04 déc. 2025
15	Examen final (présentiel)	11 déc. 2025

6. Évaluation du cours :

Outils d'évaluation	Pondération	Indicateurs mesurés
Examen de mi-session	20 %	2.3
Examen final	35 %	2.3 et 7.3
Projet : (sera déterminé durant les deux premières semaines de la session)	20 %	3.1, 4.1, 4.4, 7.4 et 12.2
Travaux pratiques (5)	20 %	2.3 et 4.4
Sujets spéciaux en développement technologique dans le domaine des systèmes numériques programmables	5 %	7.4 et 12.2

Par **indicateur mesuré**, on entend qu'à la fin du cours, un niveau de performance (0, 1, 2, 3) est donné pour chaque indicateur et pour chaque étudiant(e) selon la grille ci-dessous.

Indicateurs	Niveau 0	Niveau 1	Niveau 2	Niveau 3
2.3 - Choisir un modèle et appliquer l'analyse appropriée pour résoudre un problème.	Choix du modèle et analyse inacceptable	Choix du modèle acceptable, mais analyse partielle	Choix du modèle acceptable et analyse adéquats	Choix du modèle et analyse remarquables
3.1 - Formuler et tester des hypothèses de travail.	Formulation inacceptable et tests inadéquats	Formulation et tests partiels	Formulation et tests adéquats	Formulation et tests remarquables
4.1 - Déterminer les besoins des clients et établir les exigences, les normes et les contraintes comme la santé et la sécurité, la durabilité, l'environnement, l'éthique, la sûreté, l'économie, les facteurs esthétiques et humains, la faisabilité et la conformité aux aspects réglementaires, de même que des enjeux universels en matière de conception, comme les aspects sociaux, culturels et de diversification.	Identification inadéquate des besoins et des contraintes	Identification des besoins acceptable, mais détermination des contraintes insuffisante	Identification acceptable des besoins et des contraintes	Identification exhaustive des besoins et des contraintes
4.4 - Vérifier la conformité de la conception par rapport au cahier des charges.	Vérification inadéquate ou inexistante	Vérification partielle	Vérification acceptable	Vérification exhaustive

7.3 - Créer des figures et des tableaux respectant les règles de rédaction scientifique et technique.	Choix du modèle et analyse inacceptables	Choix du modèle acceptable, mais analyse partielle	Choix du modèle et analyse adéquats	Choix du modèle et analyse remarquables
7.4 - Faire des présentations claires et structurées en utilisant la terminologie technique appropriée, et adapter la formule selon l'auditoire.	Présentation inacceptable ou inexistante	Présentation acceptable, mais usage de la terminologie et/ou adaptation à l'auditoire inadéquat	Présentation, usage de la terminologie et adaptation à l'auditoire adéquat	Présentation, usage de la terminologie et adaptation à l'auditoire remarquables
12.2 - Trouver les ressources appropriées techniques et scientifiques.	Ressources trouvées insuffisantes ou inappropriées	Trouve partiellement les ressources appropriées	Trouve les ressources appropriées, mais n'en tire pas complètement profit	Trouve les ressources appropriées et en tire pleinement profit

Attention : La présence aux cours est obligatoire. Trois absences ou plus mèneront à un échec automatiquement.

7. Politiques départementales et institutionnelles :

- [Politiques relatives à la tenue des examens](#)
- [Note sur le plagiat et les fraudes](#)
- [Politique relative à la qualité de l'expression française écrite chez les étudiants et les étudiantes de premier cycle à l'UQO](#)
- Absence aux examens : [cadre de gestion, demande de reprise d'examen \(formulaire\)](#)

Tolérance **ZÉRO** en matière de violence à caractère sexuel.

Le Bureau d'intervention et de prévention en matière de harcèlement (BIPH) a pour mission d'accueillir, soutenir et guider toute personne vivant une situation de harcèlement, de discrimination ou de violence à caractère sexuel. Le BIPH oriente ses actions afin de prévenir les violences à caractère sexuel pour que nous puissions étudier, travailler et s'épanouir dans un milieu sain et sécuritaire.

Vous vivez ou êtes une personne témoin d'une situation de violence à caractère sexuel ? Vous êtes une personne membre de la communauté étudiante ou une personne membre du personnel, autant à Gatineau qu'à Ripon et St-Jérôme, l'équipe du BIPH est là pour vous, sans jugement et en toute confidentialité.

Ensemble, participons à une culture de respect.

Pour de plus amples renseignements consultez UQO.ca/biph ou écrivez-nous au Biph@uqo.ca

8. Principales références :

1. David J. Comer, "Digital logic and state machine design", 3rd Edition, New York: Oxford University Press, c1995, ISBN 0195107233, Pages: 573.
2. Digital Design: Principles and Practices, Wakerly, John F. ISBN-10: 0131863894 / ISBN-13: 9780131863897, 2005.
3. CMOS VLSI Design: A Circuits and Systems Perspective, 3/E, Neil Weste, Macquarie University and The University of Adelaide, David Harris, Harvey Mudd College, ISBN-10: 0321149017 / ISBN-13: 9780321149015, Addison-Wesley, 2005, 800 p.
4. Digital Principles and Design with CD-ROM, 1st Edition, Donald D. Givone, SUNY BUFFALO ©2003, ISBN-13: 9780072551327. Mc-Graw Hill.
5. Fundamentals of Digital Logic with VHDL Design with CD-ROM, 3rd Edition, 2009.
6. Stephen Brown, Associate Professor, Dept. of Electrical and Computer Engineering, University of Toronto, Zvonko Vranesic, Professor, Dept. of Electrical and Computer Engineering and Computer Science University of Toronto, 960 pages ©2009, ISBN-13: 9780077221430. Mc-Graw Hill.
7. Contemporary Logic Design, 2/E, Randy H. Katz, Gaetano Borriello, ISBN-10: 0201308576, ISBN-13: 9780201308570, Prentice Hall, 2005, Paper; 608 p.
8. Fundamentals of Logic Design, 5th Edition, Charles H. Roth, 2001, Thomson Learning, ISBN: 0534378048.
9. Computer Systems Design and Architecture, 2/E, Vincent P. Heuring, Harry F. Jordan, Boulder, ISBN-10: 0130484407 / ISBN-13: 9780130484406, Prentice Hall, 2004, Paper; 608 p.
10. Application Specific Integrated Circuits, Michael John Sebastian Smith, Addison-Wesley, 1026 p., August 1997, ISBN-13: 9780201500226 / ISBN-10: 0-201-50022-1.
11. A Designer's Guide to VHDL Synthesis, Ott, Douglas E., Wilderotter, Thomas J., Kluwer Academic Publishers, v. 4, No. 1, November 2007, ISBN: 9780792394723, 340 pages.
12. Logic Synthesis Using Synopsys, Pran Kurup and Taher Abbasi, Kluwer Academic, ISBN-10: 079239786X / ISBN-13: 9780792397861, 2nd Edition, 1997.
13. Principle of CMOS VLSI Design: A Systems Perspective. N.H.E. Weste, Kamram Eshraghian. Addison-Wesley, 1993, second edition, ISBN-10 : 0201533766 / ISBN-13 : 9780201533767.
14. Digital Design: Principles and Practices Package, 4/E, John F. Wakerly, Cisco Systems, Inc. Stanford University, ISBN-10 : 0131733494 / ISBN-13 : 9780131733497, Prentice Hall, 2006, 928 p.
15. The Designer's Guide to VHDL, Ashenden, Peter J. ISBN 10: 1558606742 / ISBN 13: 9781558606746, 2001.

9. Page Web du cours :

<https://moodle.uqo.ca>